

PAJ

TI - WAVEFORM EQUALIZING CIRCUIT

AB - PURPOSE: To save the capacity of a multiplier memory by providing delay devices of a prescribed number of stages of series connection, a selector having an input tap and a digital filter comprising a multiplier with a prescribed coefficient for the output and an adder of the output of the multiplier to the circuit.

- CONSTITUTION: The circuit is provided with one-sample delay devices 2a, 2b, 2c, 2d, 2e, 2f, 2g of a prescribed stage number of series connection, and a selector 3 having input taps of a prescribed number of stages. Then multipliers 4a, 4b, 4c, 4d, 4e with a prescribed coefficient at the output of the selector 3 and an adder 5 at the output form a coefficient adaptive digital filter ADF. Then the selection output of the selector 3 and the coefficient setting of the multipliers 4a, 4b, 4c, 4d, 4e are controlled by a coefficient control data 13 and a select signal at the output of an arithmetic operation circuit 6 generated based on a reference VIT data 10 for transmission line distortion correction.

PN - JP4373208 A 19921225

PD - 1992-12-25

ABD - 19930519

ABV - 017253

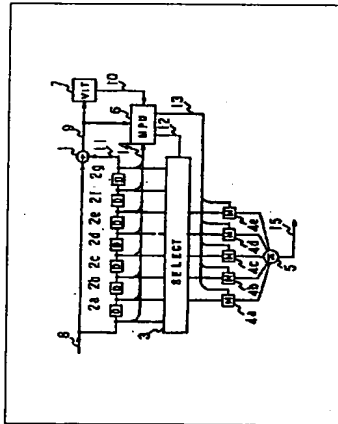
AP - JP19910177564 19910621

GR - E1367

PA - FUJITSU GENERAL LTD

IN - URATA EIKICHI

I - H03H15/00 ; H03H17/02 ; H04N5/20



<First Page Image>

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-373208

(43) 公開日 平成4年(1992)12月25日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 15/00		8731-5 J		
17/02	G	8731-5 J		
H 0 4 N 5/20		8626-5 C		

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平3-177564

(22) 出願日 平成3年(1991)6月21日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 浦田 栄▲吉▼

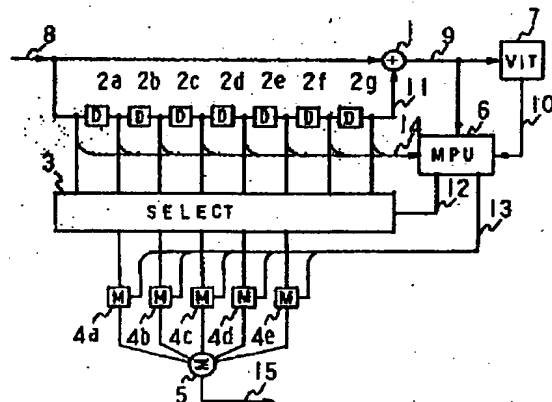
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 波形等化回路

(57) 【要約】

【目的】 係数乗算器のメモリROMの容量を節約し、回路規模を大きくすることなく次数の大きな係数適応形デジタルフィルタADFによる波形等化回路を提供する。

【構成】 1 サンプル遅延用遅延器2a, 2b, 2c, 2d, 2e, 2f, 2gの所定段数直列接続、同所定段数(次数)の入力タップを有するセクタ3、同セクタ3出力の所定係数の乗算器4a, 4b, 4c, 4d, 4eおよび同乗算器4a, 4b, 4c, 4d, 4e出力の加算器5により係数適応形デジタルフィルタADFを構成し、伝送路歪み補正の基準ビットVITデータ10を基に生成する演算回路6出力のセレクト信号12および係数制御データ13によりセクタ3の選択出力および乗算器4a, 4b, 4c, 4d, 4eの係数設定の制御をすることを特徴としている。



1

【特許請求の範囲】

【請求項1】 MUSEデコーダ等の信号処理回路において、MUSEベースバンド信号のデジタルデータを第1の加算器の一方の入力に接続するとともに、同デジタルデータを入力とする1サンプル遅延用遅延器の所定段数直列接続の出力を同第1の加算器の他方の入力に接続し、所定段数直列に接続した前記1サンプル遅延用遅延器それぞれの入力と出力とをセレクトに接続し、同セレクトの所定出力それぞれを係数を設定する読み出し専用メモリRAM等の乗算器を介して出力用第2の加算器に接続し、前記第1の加算器出力データから伝送路歪み軽減のための伝送パルス応答用基準ピツツVIT信号を取り込み発生する基準ピツツVITデータを基に生成する演算回路出力のセレクト信号および係数制御データにより前記セレクト出力を選択するとともに前記乗算器それぞれの係数を設定し、前記第2の加算器より伝送路歪みの軽減した等化信号を出力してなる係数適応形デジタルフィルタADFを特徴とする波形等化回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 MUSEデコーダ等の信号処理回路における、映像信号の伝送路歪みを軽減するための適応形デジタルフィルタADFによる波形等化回路に関する。

【0002】

【従来技術】 MUSEデコーダ等における信号の伝送路歪みを軽減する適応型デジタルフィルタADFは、通常図3に示す1サンプル遅延用遅延器2a, 2b, 一、同遅延器2a, 2b, 一入出力回路のメモリRAM等による π 型接続の係数の乗算器4a, 4b, 4c, 一、同乗算器4a, 4b, 4c, 一出力の加算器5等の回路構成からなり係数の乗算のために〔次数+1〕個のRAMを必要とする。従って、次数を大きくするとそれだけ大きなメモリを必要とし、また、加算器も増加するので回路規模も大きくなる。

【0003】

【発明が解決しようとする課題】 本発明は上記従来例に鑑みてなされたもので、係数乗算器のメモリRAMの容量を節約し回路規模を大きくすることなく次数（遅延器の数）の大きな適応形デジタルフィルタADFによる波形等化回路を提供する。

【0004】

【課題を解決するための手段】 本発明は、1サンプル遅延用遅延器の所定段数直列接続と同所定段数（次数）の入力タップを有するセレクトと同セレクト出力の所定係数の乗算器と同乗算器出力の加算器とから係数適応形デジタルフィルタADFを構成し、セレクトの選択出力および乗算器の係数設定を伝送パルス応答用基準ピツツVIT (vertical interval test signal) 信号を基に生成する演算回路出力のセレクト信号および係数制御データにより制御することを特徴とする。

【0005】

2

【作用】 図1に示す入力デジタルデータ8と1サンプル遅延用遅延器2a, 2b, 2c, 2d, 2e, 2f, 2g直列接続の出力データ11との加算器1、セレクト信号12により入力データの選択出力をするセレクト3、メモリ等による係数可変の乗算器4a, 4b, 4c, 4d, 4e、出力用加算器5、演算回路6、信号の伝送路歪み補正用基準ピツツVITデータ発生器7の回路構成からなり、同ピツツデータ発生器7出力のピツツデータ10を基に生成する演算回路6出力のセレクト信号12および係数制御データ13によりセレクト3および乗算器4a, 4b, 4c, 4d, 4eの係数をコントロールし伝送路歪みを軽減した等化信号15を加算器5より出力する。

【0006】

【実施例】 波形等化回路の次数（遅延器の段数）を大きくすると係数の小さいものが乗算器のメモリRAMに生ずるが、この係数は波形等化回路の性能に大きな影響を与えないことに着目して、係数の小さいものは省略し乗算器のメモリRAMを節約する。図2に1サンプル遅延用遅延器2a, 2b, 一とセレクト信号12制御により入力データを選択出力するセレクト3とメモリRAM等の係数の乗算器4a, 一と加算器5とからなる係数適応形デジタルフィルタADFの基本ブロック図、図1に同適応形デジタルフィルタを用いた波形等化回路のブロック図を示す。

1はMUSEベースバンド信号等のアナログ/デジタル変換したデータ8と同データ8を入力とする1サンプル遅延用遅延器2a, 2b, 2c, 2d, 2e, 2f, 2gの所定段数（実施例はタップ長、即ち次数7）の直列接続した出力データ11との加算器、3は同遅延器2a, 2b, 2c, 2d, 2e, 2f, 2gの入出力タップデータを入力してセレクト信号12により所定タップの入力データを選択出力するセレクト4a, 4b, 4c, 4d, 4eは同セレクト3出力それぞれのメモリRAM等の係数制御データ13適応による所定係数の乗算器（実施例は5系列）、5は同所定係数に設定した乗算器4a, 4b, 4c, 4d, 4e出力データを加算して等化信号15を出力する加算器、6はセレクト信号12および係数制御データ13を出力する演算回路、7は入力信号側の前記加算器1出力データ9から伝送路歪み軽減のための伝送パルス応答用基準ピツツVIT信号を取り込み基準ピツツデータ10を出力するピツツデータ発生器である。

【0007】 入力MUSEベースバンド信号等のアナログ/デジタル変換したデータ8に伝送路歪みが現れると、演算回路6はパルス応答用基準ピツツVIT信号を取り込んだピツツデータ発生器7出力の基準ピツツデータ10を基に、同基準ピツツデータ10と加算器1出力データ9との比較および遅延器2a, 2b, 2c, 2d, 2e, 2f, 2gの入出力データ14との比較により等化器の係数を計算し、同計算により生成した演算回路6出力のセレクト信号12により係数の大きいものから順にセレクト3出力を選択し、更に、係数制御データ13により乗算器4a, 4b, 4c, 4d, 4eそれぞれの係数を伝送路歪み補正の最適係数に設定

3

し、同乗算器4a, 4b, 4c, 4d, 4e出力の加算器5より伝送路歪みを軽減した等化信号15を出力する。尚、次数（遅延器の段数）および乗算器数は伝送路歪みの状況および設計コストを考慮して適宜設定する。

【0008】

【発明の効果】以上のように本発明は、遅延器の所定段数直列接続と同所定段数（次数）の入力タップを有するセレクタと同セレクタ出力の所定係数の乗算器と同乗算器出力の加算器とから適応形デジタルフィルタADFを構成し、パルス応答用基準ビットVIT信号を基に生成する演算回路出力のセレクト信号および係数制御データにより前記セレクタの選択出力および乗算器の係数設定をコントロールし、所期の目的である係数乗算器のメモリRAM容量を節約し回路規模を大きくすることなく次数の大きな（高性能の）適応形デジタルフィルタによる波形等化回路を提供することができる。

【図面の簡単な説明】

【図1】 適応形デジタルフィルタによる伝送路歪み軽減波形等化回路のブロック図である。

【図2】 図1の適応形デジタルフィルタのブロック図である。

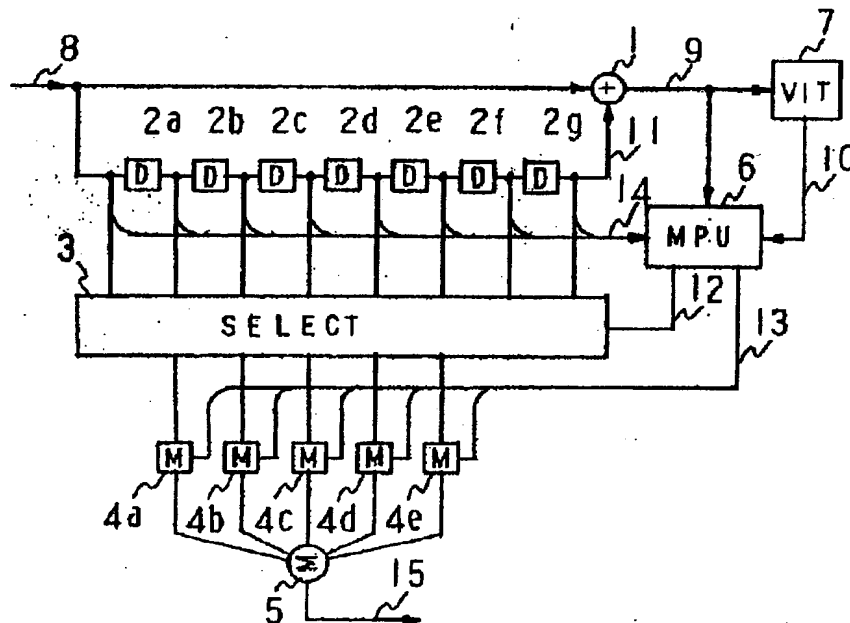
4

【図3】 従来の適応形デジタルフィルタのブロック図である。

【符号の説明】

- 1 加算器
- 2a 遅延器
- 2b 遅延器
- 2f 遅延器
- 2g 遅延器
- 3 セレクタ
- 4a 乗算器
- 4b 乗算器
- 4e 乗算器
- 5 加算器
- 6 演算回路
- 7 パルス応答用基準ビットVIT信号のビットデータ発生器
- 8 入力信号
- 10 ビットデータ
- 12 セレクト信号
- 13 係数制御データ
- 15 等化出力信号

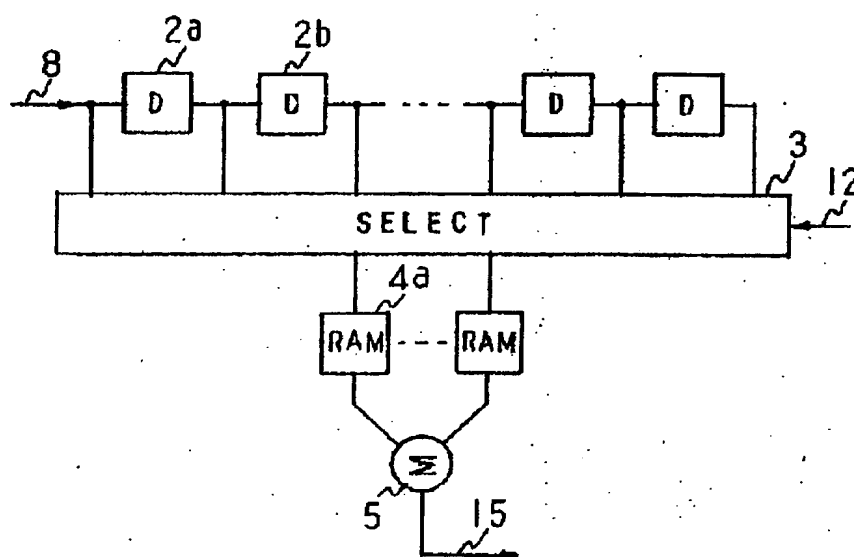
【図1】



(4)

特開平4-373208

【図2】



【図3】

